

11529 U.S. PRO
09/008525

01/16/98

KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

Application Number: 97-23917

Date of Application: June 10, 1997

Applicant(s): Samsung Electronics Co., Ltd.

August 19, 1997

COMMISSIONER

PATENT APPLICATION

[Application No.] 97-023917

[Filing Date] June 10, 1997

[Title] Manufacturing method of semiconductor memory device
which preventible oxidation of bit-line

[Applicant]

Name: Samsung Electronics Co., Ltd.
Applicant code: 14001979
Telephone No.: 0331-200-3443
Zip code: 442-373
Address: 416, Maetan-dong, Paldal-gu, Suwon-city, Kyungki-do
Republic of Korea
Nationality: Rep. Of Korea

[Attorney]

Name: Young-pil Lee
Attorney's code: H228
Telephon No.: 02-588-8585
Zip code: 137-073
Address: 1571-18, Seocho-dong, Seocho-gu, Seoul, Rep. Of Korea

Name: Suk-heum Kwon
Attorney's code: A409
Telephon No.: 02-588-8585
Zip code: 137-073
Address: 1571-18, Seocho-dong, Seocho-gu, Seoul, Rep. Of Korea

Name: Min-sik Noh
Attorney's code: B018
Telephon No.: 02-588-8585
Zip code: 137-073
Address: 1571-18, Seocho-dong, Seocho-gu, Seoul, Rep. Of Korea

[Inventor]

Name: Young-woo Park
Nationality: Republic of Korea
Address: 818-1903, Suri Hanyang Apt., Sanbon-dong, Gunpo-city
Kyungki-do, Rep. Of Korea

[Inventor]

Name: Jun-yong Noh
Nationality: Republic of Korea

Address: 205, Kyungin Villa, 156-5, Ganseok 2-dong, Namdong-gu
Incheon-city, Rep. Of Korea

[Inventor]

Name: Bon-young Koo
Nationality: Republic of Korea
Address: 405-1103, Wooman Jugong Apt., Wooman-dong, Paldal-gu
Suwon-city, Kyungki-do, Rep. Of Korea

[Inventor]

Name: Chang-jin Kang
Nationality: Republic of Korea
Address: 524-1201, Jugong 5-danji Apt., Maetan-dong, Paldal-gu
Suwon-city, Kyungki-do, Rep. Of Korea

[Inventor]

Name: Chul Jung
Nationality: Republic of Korea
Address: 416-405, Jugong 4-danji Apt., Maetan 1-dong, Paldal-gu
Suwon-city, Kyungki-do, Rep. Of Korea

[Application Order]

I/We file as above according to Art. 42 of the Patent Law.

[Request for Examination]

I/We request for examination as above according to Art. 60
of the Patent Law.

[Receiver]

Commissioner

[Fee]

Basic page:	20 Sheet(s)	20,000 won
Additional page:	14 Sheet(s)	13,200 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	26 Claim(s)	558,000 won
Total:		591,200 won

[Enclosures]

- Abstract and Specification (and Drawings) 1 copy each
- Floppy diskette including Application cover,
Abstract and Specification (and Drawings) 1 copy
- Power of Attorney (and translation thereof)

01/16/98
R-529 U.S. PRO
09/008525

대한민국특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

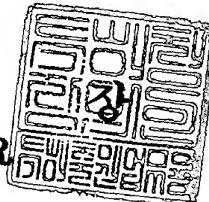
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1997년 특허출원 제23917호
Application Number

출원년월일 : 1997년 6월 10일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s)

1997년 8월 19일



특허청
COMMISSIONER

특허 출원서

【출원번호】 97-023917

【출원일자】 1997/06/10

【발명의국문명칭】 비트라인의 산화를 방지하기 위한 반도체 메모리장치의 제조방법

【발명의영문명칭】 Manufacturing method of semiconductor
- memory device which preventible oxidation of bit-line

【출원인】

【국문성명(명칭)】 삼성전자 주식회사

【영문성명(명칭)】 Samsung Electronics Co., Ltd.

【주민등록번호(출원인코드)】 14001979

【전화번호】 0331-200-3443

【우편번호】 442-373

【주소】 경기도 수원시 팔달구 매탄동 416번지

【국적】 대한민국

【대리인】

【성명】 이영필

【대리인코드】 H228

【전화번호】 02-588-8585

【우편번호】 137-073

【주소】 서울특별시 서초구 서초동 1571-18

【대리인】

【성명】 권석홍

【대리인코드】 A409

【전화번호】 02-588-8585

【우편번호】 137-073

【주소】 서울특별시 서초구 서초동 1571-18

【대리인】

【성명】 노민식

【대리인코드】 B018

【전화번호】 02-588-8585

【우편번호】 137-073

【주소】 서울특별시 서초구 서초동 1571-18

【발명자】

【국문성명】 박영우

【영문성명】 PARK, YoungWoo

【국적】 대한민국

【주소】 경기도 군포시 산본동 수리한양아파트 818동 1903호

【발명자】

【국문성명】 노준용

【영문성명】 NOH, JunYong

【국적】 대한민국

【주소】 인천광역시 남동구 간석2동 156-5 경인빌라 205호

【발명자】

【국문성명】 구본영

【영문성명】 KOO, BonYoung

【국적】 대한민국

【주소】 경기도 수원시 팔달구 우만동 우만주공아파트 405동 1103호

【발명자】

【국문성명】 강창진

【영문성명】 KANG, ChangJin

【국적】 대한민국

【주소】 경기도 수원시 팔달구 매탄동 주공5단지아파트 524동 1201호

【발명자】

【국문성명】 정철

【영문성명】 JUNG, Chul

【국적】 대한민국

【주소】 경기도 수원시 팔달구 매탄1동 주공4단지아파트 416동 405호

【출원주문】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

【수신처】 특허청장 귀하

【수수료】

【기본면수】 20면 20,000 원

【가산면수】 14면 13,200 원

【우선권주장료】 0건 0 원

【심사청구료】 26건 558,000 원

【합계】 591,200 원

【첨부서류】

- 요약서, 명세서(및 도면) 각 1통
- 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통
- 위임장(및 동 번역문)
-

【요약서】

【요약】

스토리지 전극 패터닝시 발생된 미스얼라인에 의해 비트라인이 산화되는 것을 방지할 수 있는 반도체 메모리장치의 제조방법에 대해 기재되어 있다. 이 방법은, 반도체기판의 활성영역에 게이트, 소오스 및 드레인을 구비하는 트랜지스터를 형성하는 단계와, 소오스와 접속된 패드를 형성하는 단계와, 패드가 형성된 결과물 상에 제1 충간절연막을 형성하는 단계와, 제1 충간절연막상에 드레인과 접속된 비트라인을 형성하는 단계와, 비트라인이 형성된 결과물상에 산화방지막을 형성하는 단계와, 산화방지막상에 제2 충간절연막을 형성하는 단계와, 패드를 노출시키는 콘택홀을 형성하는 단계와, 콘택홀의 내측벽에 스페이서를 형성하는 단계와, 콘택홀을 통해 상기 패드와 접속된 스토리지 전극을 형성하는 단계, 및 스토리지 전극이 형성된 결과물상에 유전체막 및 플레이트 전극을 차례로 형성하는 단계로 이루어진다.

【대표도】

도 7, 도 8, 도 10, 도 11, 도 12

【명세서】

【발명의 명칭】

비트라인의 산화를 방지하기 위한 반도체 메모리장치의 제조방법

【도면의 간단한 설명】

도 1은 종래의 DRAM 제조방법을 설명하기 위한 것으로, 워드라인 방향의 단면도이다.

도 2는 스토리지 전극을 형성하기 위한 사전식각 공정에서 미스엘라인이 발생한 상태를 도시한 단면도이다.

도 3은 하지막에 따른 질화막의 증착 특성을 나타내는 그래프이다.

도 4 내지 도 7은 본 발명의 제1 실시예에 의한 반도체 메모리장치의 제조방법을 나타내는 단면도들이다.

도 8은 본 발명의 제2 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다.

도 9 및 도 10은 본 발명의 제3 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도들이다.

도 11은 본 발명의 제4 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다.

도 12는 본 발명의 제5 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다.

도 13은 질화막 증착전 표면처리 유무에 따라 BPSG막 위에 증착되는 질화막

의 두께를 비교하기 위한 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

40.....필드산화막

42.....패드

44, 52, 54, 56.....층간절연막

46.....폴리실리콘막

48.....실리사이드막

50, 70, 85, 90...산화방지막

60, 75, 80.....스페이서

62.....스토리지 전극

64.....유전체막

66.....플레이트 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 비트라인(bit line)의 산화를 방지할 수 있는 반도체 메모리장치의 제조방법에 관한 것이다.

현재 디램(DRAM)의 제조공정에 있어서, 비트라인은 소자의 동작속도를 증가시키기 위하여 불순물이 도우프된 폴리실리콘과, 저저항 물질인 실리사이드가 적층된 폴리사이드(polycide) 구조로 형성된다.

도 1은 종래의 DRAM의 제조방법을 설명하기 위한 단면도로서, 워드라인 방향의 단면을 나타내었다.

도 1을 참조하여 종래의 DRAM 제조공정을 간략히 설명하면 먼저, 필드산화막(12)에 의해 활성영역과 비활성영역으로 분리된 반도체기판(100)의 상기 활성영역에 통상의 방법으로 트랜지스터(도시되지 않음)를 형성한다. 다음에, 트랜지스터가

형성된 결과물상에 폴리실리콘을 증착한 후 이를 패터닝함으로써, 스토리지전극과 반도체기판(100)의 활성영역(소오스영역)을 중간 접속시키기 위한 패드(14)를 형성 한다. 결과물상에, 절연물질을 증착한 후 이를 평탄화하여 상기 트랜지스터를 다른 도전층과 접연시키기 위한 제1 층간절연막(16)을 형성한다. 상기 제1 층간절연막(16)은 평탄화를 용이하게 하기 위하여 흐름성이 있는 절연막, 예를 들어 보론-인 이 함유된 산화막(Boro-Phosphorous Silicated Glass; BPSG) 또는 도우프되지 않은 산화막(Undoped Silicate Glass; USG) 등으로 형성된다.

다음에, 통상의 방법으로 비트라인 콘택 및 비트라인(18+20)을 형성한 후, 결과물상에 평탄화된 제2 층간절연막(22)을 형성한다. 상기 비트라인은 도우프된 폴리실리콘막(18)과 실리사이드막(20)이 적층된 구조로 형성하고, 상기 제2 층간절연막(22)은 제1 층간절연막(16)과 동일한 방법으로 형성한다. 이어서, 결과물상에 질화막(24) 및 산화막(26)을 차례로 증착한다.

다음에, 사진식각 공정을 적용하여 상기 산화막(26), 질화막(24), 제2 층간절연막(22) 및 제1 층간절연막(16)을 이방성식각하여 상기 패드(14)를 노출시키는 콘택홀을 형성한다. 콘택홀이 형성된 결과물의 표면에 질화막을 증착한 후 이방성식각하여, 상기 콘택홀의 내벽에 스페이서(28)를 형성한다. 이 스페이서(28)는 콘택홀의 측벽으로부터 비트라인이 산화되는 것을 방지하기 위한 것이다.

다음에, 결과물상에 폴리실리콘막을 증착한 후, 사진식각 공정을 사용하여 상기 폴리실리콘막을 패터닝하여 스토리지 전극(30)을 형성하고, 그 결과물상에 유전체막(32) 및 플레이트 전극(34)을 통상의 방법에 따라 형성한다. 이 때, 상기 유

전체막(32)은 캐패시터의 특성 향상을 위해 질화막과 산화막이 적층된 NO 구조로 형성되는데, 상기 질화막은 주로 화학 기상 증착(CVD) 방법으로 형성되고, 상기 산화막은 열산화 방법으로 형성된다. 그런데, 반도체 메모리장치가 고집적화되어 감에따라 상기 스토리지 전극을 형성하기 위한 사진식각 공정에서 미스얼라인(misalign)이 발생하기 쉽다.

도 2는 스토리지 전극을 형성하기 위한 사진식각 공정에서 미스얼라인이 발생한 상태를 도시한 단면도이다.

도시된 바와 같이, 스토리지 전극(30)과 스토리지 전극 콘택 사이에 미스얼라인이 발생되면, 스토리지 전극용 도전막을 식각하는 과정에서 과도식각(over etch)이 진행되는 동안 상기 질화막 스페이서(28)가 식각되어 콘택홀의 측벽으로 제2 충간절연막(22)이 노출되어 버린다. 이렇게 제2 충간절연막(22)이 노출되면, 후속 공정에서 유전체막(32)을 형성하기 위하여 질화막을 증착할 때, 상기 제2 충간절연막 상에는 다른 부위에 비해 질화막이 얇게 증착된다. 이러한 현상은 하지막에 의해 증착속도가 달라지는 질화막의 특성때문으로, 도 3에 이러한 질화막의 특성이 도시되어 있다.

도 3은 하지막에 따른 질화막의 증착 특성을 나타내는 그래프로서, "A"는 베어(bare) 웨이퍼상에 증착된 질화막의 두께를 나타내고, "B"는 BPSG막 위에 증착된 질화막의 두께를 각각 나타낸다.

도시된 바와 같이, 베어 웨이퍼위에 질화막이 50 \AA 증착되는 동안 BPSG막 위에는 37 \AA 밖에 증착되지 않음을 알 수 있다.

따라서, 도 2에서 제2 층간절연막이 노출되어 질화막이 얇게 증착된 부분을 통해 산소(O_2)가 침투하여 결국 비트라인(18+20)이 산화되는 문제가 발생한다.

【발명이 이루고자 하는 기술적 과제】

따라서, 본 발명이 이루고자 하는 기술적 과제는 비트라인의 산화를 방지할 수 있는 반도체 메모리장치의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

상기 과제를 이루기 위하여 본 발명에 의한 반도체 메모리장치의 제조방법은, 반도체기판의 활성영역에 게이트, 소오스 및 드레인을 구비하는 트랜지스터를 형성하는 단계; 상기 소오스와 접속된 패드를 형성하는 단계; 패드가 형성된 결과물상에 제1 층간절연막을 형성하는 단계; 상기 제1 층간절연막상에, 상기 드레인과 접속된 비트라인을 형성하는 단계; 비트라인이 형성된 결과물상에 산화방지막을 형성하는 단계; 상기 산화방지막상에 제2 층간절연막을 형성하는 단계; 상기 패드를 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀의 내측벽에 스페이서를 형성하는 단계; 상기 콘택홀을 통해 상기 패드와 접속된 스토리지 전극을 형성하는 단계; 및 스토리지 전극이 형성된 결과물상에 유전체막 및 플레이트 전극을 차례로 형성하는 단계를 구비하는 것을 특징으로 한다.

상기 비트라인은 폴리실리콘과 실리사이드를 차례로 적층한 후 패터닝하여 형성한다.

상기 산화방지막은 질화막으로 형성하되, 저압 화학기상증착(LP-CVD) 및 급속열질화(Rapid Thermal Nitridation; RTN) 중의 어느 한 방법을 사용하여 1,000

\AA 미만의 두께로 형성하는 것이 바람직하다. 이 때, 상기 저압 화학 기상 증착 (LP-CVD)은 1Torr 이하의 압력과 $600 \pm 100^\circ\text{C}$ 의 온도에서, 디클로로실란(SiH_2Cl_2)과 암모니아(NH_3)의 혼합가스를 반응가스로 사용하여 이루어지고, 상기 급속열질화 (Rapid Thermal Nitration; RTN) 공정은 대기압 이하의 압력과 $900 \pm 100^\circ\text{C}$ 의 온도에서, 암모니아(NH_3) 가스를 반응가스로 사용하여 이루어지는 것이 바람직하다.

또한, 상기 산화방지막은 질소를 포함하는 가스를 이용하여 상기 비트라인의 형성된 결과물의 표면을 질화시켜 형성할 수도 있다. 이 때, 상기 질소를 포함하는 가스로는 암모니아(NH_3) 가스를 사용하고, 플라즈마(plasma) 방식, 고온 어닐링 (thermal annealing) 방식 및 급속열처리(Rapid Thermal Process; RTP) 방식 중의 어느 하나를 사용할 수 있다.

또한, 상기 산화방지막은 상기 제2 층간절연막의 표면보다 상기 비트라인의 측벽 및 상부에 더 두껍게 형성하는 것이 바람직하다.

그리고, 상기 유전체막을 형성하는 단계는 스토리지 전극이 형성된 결과물상에 질화막을 증착하는 단계와, 상기 질화막이 형성된 반도체기판을 습식산화 분위기에서 산화시키는 단계로 이루어진다. 이 때, 상기 상기 습식산화는 $700^\circ\text{C} \sim 900^\circ\text{C}$ 의 온도에서 진행하는 것이 바람직하다.

상기 목적을 달성하기 위하여 본 발명에 의한 반도체 메모리장치의 다른 제조방법은, 반도체기판의 활성영역에 게이트, 소오스 및 드레인을 구비하는 트랜지스터를 형성하는 단계; 상기 소오스와 접속된 패드를 형성하는 단계; 패드가 형성된 결과물상에 제1 층간절연막을 형성하는 단계; 상기 제1 층간절연막상에, 상기

드레인과 접속된 비트라인을 형성하는 단계; 비트라인이 형성된 결과물상에 산화방지막을 형성하는 단계; 상기 산화방지막상에 제2 층간절연막을 형성하는 단계; 상기 패드를 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀의 내측벽에 질화막과 산화막으로 이루어진 이중 스페이서를 형성하는 단계; 상기 콘택홀을 통해 상기 패드와 접속된 스토리지 전극을 형성하는 단계; 및 스토리지 전극이 형성된 결과물상에 유전체막 및 플레이트 전극을 차례로 형성하는 단계를 구비하는 것을 특징으로 한다.

상기 비트라인은 폴리실리콘과 실리사이드를 차례로 적층한 후 패터닝하여 형성한다.

상기 이중 스페이서용 산화막은 고온산화막(HTO) 및 도우프되지 않은 실리콘막(USG)로 이루어진 그룹에서 선택된 어느 하나로 형성하고, 상기 이중 스페이서용 질화막과 산화막은 각각 100 \AA ~ 300 \AA 의 두께로 형성하는 것이 바람직하다.

그리고, 상기 유전체막을 형성하는 단계는 스토리지 전극이 형성된 결과물상에 질화막을 증착하는 단계와, 상기 질화막이 형성된 반도체기판을 습식산화 분위기에서 산화시키는 단계로 이루어진다. 이 때, 상기 상기 습식산화는 700°C ~ 900°C 의 온도에서 진행하는 것이 바람직하다.

상기 목적을 달성하기 위하여 본 발명에 의한 반도체 메모리장치의 또 다른 제조방법은, 반도체기판의 활성영역에 게이트, 소오스 및 드레인을 구비하는 트랜지스터를 형성하는 단계; 상기 소오스와 접속된 패드를 형성하는 단계; 패드가 형성된 결과물상에 제1 층간절연막을 형성하는 단계; 상기 제1 층간절연막상에, 상기

드레인과 접속된 비트라인을 형성하는 단계; 비트라인이 형성된 결과물상에 제2 층 간절연막을 형성하는 단계; 상기 패드를 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀의 내측벽에 스페이서를 형성하는 단계; 상기 콘택홀을 통해 상기 패드와 접속된 스토리지 전극을 형성하는 단계; 상기 스토리지 전극이 형성된 결과물의 표면에 산화방지막을 형성하는 단계; 및 산화방지막이 형성된 결과물상에 유전체막 및 플레이트 전극을 차례로 형성하는 단계를 구비하는 것을 특징으로 한다.

상기 비트라인은 폴리실리콘과 실리사이드를 차례로 적층한 후 패터닝하여 형성하는 것이 바람직하다.

상기 산화방지막은 질소를 포함하는 가스를 이용하여 상기 스토리지 전극이 형성된 결과물의 표면을 질화시켜 형성하는데, 상기 질소를 포함하는 가스로써 암모니아(NH_3) 가스를 사용한다. 그리고, 상기 질소를 포함하는 가스를 이용하여 비트라인이 형성된 결과물의 표면을 질화시키는 공정은 플라즈마(plasma) 방식, 고온 어널링(thermal annealing) 방식 및 급속열처리(Rapid Thermal Process; RTP) 방식 중의 어느 하나를 사용한다.

그리고, 상기 유전체막을 형성하는 단계는 스토리지 전극이 형성된 결과물상에 질화막을 증착하는 단계와, 상기 질화막이 형성된 반도체기판을 습식산화 분위기에서 산화시키는 단계로 이루어진다. 이 때, 상기 상기 습식산화는 $700^\circ C$ ~ $900^\circ C$ 의 온도에서 진행하는 것이 바람직하다.

본 발명에 따르면, 스토리지 전극 패터닝시 미스얼라인이 발생하여도 유전체막을 형성하는 과정에서 비트라인이 산화되는 것을 방지할 수 있으며, 후속 공정을

용이하게 진행할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 의한 반도체 메모리장치의 제조방법을 상세히 설명한다.

제1 실시예

도 4 내지 도 7은 본 발명의 제1 실시예에 의한 반도체 메모리장치의 제조방법을 나타내는 단면도들이다.

도 4는 트랜지스터, 패드(42) 및 비트라인(46+48)을 형성하는 단계를 나타낸다.

상세하게는, 먼저, 통상의 소자분리 공정을 적용하여 반도체기판(200)을 활성영역과 비활성영역으로 분리하는 필드산화막(40)을 형성한 후, 상기 반도체기판(200)의 활성영역에 트랜지스터(도시되지 않음)를 형성한다. 다음에, 트랜지스터가 형성된 결과물상에 폴리실리콘을 증착한 후 이를 패터닝함으로써, 이후에 형성될 스토리지전극과 반도체기판(200)의 활성영역(소오스영역)을 중간 접속시키기 위한 패드(42)를 형성한다. 결과물상에, 절연물질을 증착한 후 이를 평탄화하여 상기 트랜지스터를 다른 도전층과 절연시키기 위한 제1 층간절연막(44)을 형성한다. 상기 제1 층간절연막(44)은 평탄화를 용이하게 하기 위하여, 예를 들어 보론-인이 함유된 산화막(Boro-Phosphorous Silicated Glass; BPSG) 또는 도우프되지 않은 산화막(Undoped Silicate Glass; USG) 등으로 형성된다.

다음에, 상기 제1 층간절연막(44)을 부분적으로 식각하여 반도체기판의 활성영역(드레인영역)을 노출시키는 콘택홀을 형성한다. 그 결과물상에 도우프된 폴리

실리콘 및 실리사이드를 차례로 증착한 후 패터닝함으로써, 상기 드레인영역과 접속되는 비트라인(46+48)을 형성한다.

도 5는 비트라인의 산화를 방지하기 위한 산화방지막(50)을 형성하는 단계를 나타낸다.

상세하게는, 비트라인이 형성된 결과물의 전면에 산화를 방지할 수 있는 절연물질, 예를 들어 질화막을 증착하여 산화방지막(50)을 형성한다. 상기 산화방지막(50)은 후속되는 캐퍼시터의 유전체막을 형성하는 공정에서 비트라인(46+48)의 산화를 방지하는 역할을 하며, 그 두께는 비트라인의 산화를 방지할 수 있을 정도의 두께, 예를 들어 $1,000\text{ \AA}$ 이하로 형성하는 것이 바람직하다.

도 6은 스토리지 전극과 패드를 접속시키기 위한 콘택홀(58)과 스페이서(60)를 형성하는 단계를 나타낸다.

상세하게는, 산화방지막이 형성된 결과물의 전면에 평탄화가 용이한 절연막, 예를 들어 BPSG를 증착한 후 플로우함으로써 평탄화된 제2 층간절연막(52)을 형성한다. 상기 제2 층간절연막(52)은 비트라인을 다른 도전층과 절연시키는 것과 동시에, 비트라인에 의해 형성된 단차를 평탄화함으로써 후속 공정을 용이하게 하는 역할을 한다. 다음에, 결과물상에 500 \AA 정도 두께의 질화막(54)과 $2,000\text{ \AA}$ 정도 두께의 산화막(56)을 차례로 증착한다.

이어서, 사진식각 공정을 적용하여 상기 산화막(56), 질화막(54), 제2 층간절연막(52) 및 제1 층간절연막(44)을 차례로 이방성 식각함으로써 스토리지 전극과 패드(42)를 접속시키기 위한 콘택홀(58)을 형성한다. 다음, 결과물상에 500 \AA 이하

의 두께의 질화막을 증착한 후 이방성식각하여 상기 콘택홀의 내벽에 스페이서(60)를 형성한다. 상기 스페이서(60)는 후속되는 유전체막 형성공정에서 상기 콘택홀(58)의 측벽으로부터 비트라인(46+48)이 산화되는 것을 방지하기 위한 것이다.

도 7은 스토리지 전극, 유전체막 및 플레이트 전극으로 구성된 캐페시터를 형성하는 단계를 나타낸다.

상세하게는, 스페이서(60)가 형성된 결과물의 전면에 도우프된 폴리실리콘을 소정 두께 증착한 후 이를 이방성식각하여 상기 패드(42)와 접속된 스토리지 전극(62)을 형성한다. 이어서, 캐페시터의 유전체막(64)을 형성한다. 이 유전체막(64)을 형성하기 위하여 먼저, 스토리지 전극이 형성된 결과물의 전면에 얇은 질화막을 증착한다. 이 때, 상기 스토리지 전극을 형성하기 위한 사진식각 공정에서 발생된 미스얼라인에 의해 상기 콘택홀 형성시 콘택홀 측벽의 제2 충간절연막이 노출되었을 경우, 질화막이 다른 부위에 비해 얇게 증착된다. 그 후, 결과물을 고온, 예를 들어 700°C ~ 900°C 정도 온도의 습식산화 분위기에서 산화시켜 산화막을 형성한다. 이 때, 종래에는 질화막이 얇게 증착된 부분을 통해 산소(O_2)가 침투하여 비트라인이 산화되는 문제가 발생하였으나, 본 발명에서는 상기 비트라인(46+48)을 산화방지막(50)이 감싸고 있기 때문에 비트라인이 산화되는 문제가 발생하지 않는다.

다음에, 유전체막(64)이 형성된 결과물 상에 도우프된 폴리실리콘을 증착한 후 패터닝함으로써 플레이트 전극(66)을 형성한다.

제2 실시예

도 8은 본 발명의 제2 실시예에 의한 반도체 메모리장치의 제조방법을 설명

하기 위한 단면도이다. 도 7과 동일한 참조번호는 동일한 부분을 나타낸다.

상기한 제1 실시예에서는 비트라인 형성후 전면에 질화막을 얇게 증착하여 스토리지 전극 패터닝시 미스얼라인이 발생해도 유전체막 형성공정에서 비트라인이 산화되는 것을 방지하는 방법을 제시하였다. 본 발명의 제2 실시예에서는 상기 질화막을 증착하되, 후속 공정을 보다 용이하게 하기 위하여 비트라인의 측벽 및 상부에는 질화막이 두껍게 증착되고 이외의 부분에서는 질화막이 얇게 증착되도록 하는 방법을 제시한다.

비트라인 형성후 산화방지막으로 질화막을 증착할 때, 저압 화학 기상 증착 (Low Pressure Chemical Vapor Deposition; 이하, "LP-CVD"라 칭함) 또는 급속열질화(Rapid Thermal Nitridation; 이하, "RTN"이라 칭함) 방법으로 증착할 경우, 비트라인과 충간절연막 사이의 물성차이로 인해 초기 막성장률이 다르게 된다. 즉, 비트라인의 실리사이드와 폴리실리콘막 위에서는 질화막이 원하는 두께만큼 증착되는데 반해, BPSG로 이루어진 충간절연막 위에서는 원하는 두께보다 훨씬 얇게 증착된다. 그 이유는, BPSG막 위에서는 질화막의 초기 핵생성이 어려운 것으로 알려져 있다. 예를 들어, 비트라인 위에서 질화막이 50 \AA 증착될 동안 BPSG막 위에서는 $10\sim 20\text{ \AA}$ 정도로 얇게 증착된다.

따라서, LP-CVD 또는 RTN 방법을 이용하면, 도 8에 도시된 바와 같이 비트라인 측벽 및 상부에는 질화막을 두껍게 증착하고 이외의 부분에서는 얇게 증착할 수 있다. 이 방법을 이용하면, 스토리지 전극 패터닝시 미스얼라인이 발생되어 유전체막용 질화막이 얇게 증착되더라도 상기 비트라인을 질화막이 감싸고 있으므로 비트

라인의 산화를 방지할 수 있다. 뿐만 아니라, 충간절연막 위에는 질화막이 얇게 증착되어 있으므로, 후속되는 스토리지 전극과 패드를 접속시키기 위한 콘택홀 형성 과정을 용이하게 진행할 수 있다.

LP-CVD 방법의 경우 1Torr 이하의 저압에서 600 ± 100°C 정도의 온도로 증착하고, 디클로로실란(SiH₂Cl₂)과 암모니아(NH₃)의 혼합가스를 반응가스로 사용한다. 그리고, RTN의 경우에는 900 ± 100°C 정도의 온도에서 암모니아(NH₃)를 반응가스로 사용하여 증착하되 대기압 이하의 압력하에서 증착하는 것이 바람직하다.

제3 실시예

도 9 및 도 10은 본 발명의 제3 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도들이다.

도 9를 참조하면, 본 발명의 제1 실시예의 방법과 동일한 방법을 사용하여 스토리지 전극과 패드(42)를 접속시키기 위한 콘택홀을 형성한다. 다음에, 콘택홀이 형성된 결과물의 전면에 질화막(60)과 산화막(75), 예를 들어 고온산화막(HTO) 또는 도우프되지 않은 실리콘막(Undoped Silicated Glass; USG)을 차례로 증착한 후 상기 질화막(60)과 산화막(75)을 이방성식각하면, 콘택홀의 측벽에 질화막과 산화막으로 이루어진 이중 스페이서가 형성된다.

도 10을 참조하면, 이중 스페이서가 형성된 결과물 상에, 제1 실시예의 방법과 동일한 방법을 사용하여 상기 패드(42)와 접속된 스토리지 전극(62), 유전체막(64) 및 플레이트 전극(66)을 차례로 형성한다. 상기 스토리지 전극을 형성하기 위하여 도우프된 폴리실리콘막을 증착한 후 사진식각하는 과정에서, 도 10에 도시된

바와 같이 미스얼라인에 의해 콘택홀의 일부가 드러나게 된다. 그러나, 상기 콘택홀의 내벽에는 스페이서가 이중으로 형성되어 있기 때문에, 스토리지 전극 패터닝 시 과도식각이 진행되어도 질화막으로 이루어진 스페이서는 식각되지 않고 남아 있으므로 제2 층간절연막(52)이 표면으로 드러나지 않게 된다. 따라서, 후속 유전체막 형성공정을 진행되는 동안 콘택홀의 측벽으로 부터의 산소의 침투가 불가능하도록 비트라인의 산화를 방지할 수 있다.

한편, 본 발명의 제3 실시예에 의한 비트라인의 산화를 방지하기 위해서는 제2 층간절연막(52)의 표면에 질화막 스페이서(60)가 최소한 50Å 이상 남아있어야 한다. 즉, 스토리지 전극과 콘택홀의 미스얼라인에 의해 콘택홀 상부측 내벽에서 질화막이 식각되더라도 50Å 이상만 남아있으면 비트라인의 산화를 방지할 수 있다. 따라서, 이를 위하여 각각 스페이서용 질화막(60)과 산화막(75)은 각각 100 ~ 300Å 정도의 두께로 형성하는 것이 바람직하다.

제4 실시예

도 11은 본 발명의 제4 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다. 제1 내지 제3 실시예와 동일한 참조번호는 동일한 부분을 나타낸다.

도 11을 참조하면, 본 발명의 제1 내지 제3 실시예의 방법과 동일한 방법으로 비트라인(46+48) 형성공정까지 진행한다. 다음에, 소정의 가스를 사용하여 비트라인이 형성된 결과물의 표면을 질화시킨다. 이렇게 하면, 도시된 바와 같이 결과물의 표면에 얇은 질화막(80)이 형성된다. 따라서, 제1 및 제2 실시예와 동일한 효

과를 얻을 수 있다.

또한, 질화되어 형성된 상기 질화막(80)의 두께는 30 ~ 50Å 정도로 매우 얇기 때문에, 스토리지 전극과 패드를 연결시키는 콘택홀 형성공정 및 메탈콘택(metal contact) 형성공정 등의 후속 공정을 진행할 때 콘택홀의 내벽에 턱이 남지 않도록 하는 효과도 얻을 수 있다.

상기 비트라인이 형성된 결과물의 표면처리는 예를 들어 플라즈마(plasma) 방식, 고온 어닐링(thermal annealing) 방식 및 급속열처리(Rapid Thermal Process; RTP) 방식 등을 사용 중의 어느 하나를 사용하여 진행하고, 반응가스로는 예를 들어 암모니아(NH_3)와 같은 질소를 포함하는 가스를 사용한다.

상기 플라즈마 방식은 200 ~ 400Å의 온도에서 1분 이상 처리하고, 상기 고온 어닐링 방식은 800 ~ 900°C의 온도에서 30분 이상, 그리고 상기 급속열처리 방식은 800 ~ 1,000°C의 온도에서 1분 이상 실시한다.

제5 실시예

도 12는 본 발명의 제5 실시예에 의한 반도체 메모리장치의 제조방법을 설명하기 위한 단면도이다. 제1 내지 제4 실시예와 동일한 참조번호는 동일한 부분을 나타낸다.

도 12를 참조하면, 산화방지막(50) 형성공정을 제외한 제1 실시예의 방법과 동일한 방법으로 스토리지 전극(62) 형성공정까지 진행한다. 이 때, 상기 스토리지 전극을 패터닝할 때 미스얼라인이 발생하였다고 가정하면, 콘택홀 상부쪽의 제2 층 간절연막(52)의 표면이 노출된다. 다음에, 제4 실시예와 동일한 방법으로 질소를

포함하는 가스를 사용하여 스토리지 전극(62)이 형성된 결과물을 표면처리하여 질화시키면, 제4 실시예의 경우와 마찬가지로 결과물의 표면에 30 ~ 50Å 정도의 얇은 질화막(85)이 형성된다. 이후, 유전체막(64) 및 플레이트 전극(66)을 형성한다.

상기 표면처리는 제4 실시예와 마찬가지로, 예를 들어 플라즈마(plasma) 방식, 고온 어닐링(thermal annealing) 방식 및 급속열처리(Rapid Thermal Process; RTP) 방식 등을 사용 중의 어느 하나를 사용하여 진행하고, 반응가스로는 예를 들어 암모니아(NH_3)와 같은 질소를 포함하는 가스를 사용한다.

이렇게 스토리지 전극(62)을 형성한 상태에서 결과물의 표면을 질화시키면, 제2 층간절연막의 표면도 질화되어 있으므로, 후속되는 유전체막 형성공정에서 질화막의 하부 의존성이 제거된다. 따라서, 노출된 제2 층간절연막(52)의 표면에도 스토리지 전극(62)의 표면에 증착되는 두께와 같게 또는 그 이상의 두께로 질화막이 증착된다. 따라서, 유전체막으로 사용될 산화막을 형성할 때 산소의 침투에 의한 비트라인의 산화를 방지할 수 있다.

도 13은 질화막 증착시 하지막 의존성을 제거하기 위하여 표면을 질화시킨 후 및 그 전의 BPSG막 위에 증착되는 질화막의 두께를 비교하기 위한 그래프이다.

도 13에서 ①은 표면처리를 생략한 경우, ②는 암모니아(NH_3) 가스를 이용하여 400°C의 온도에서 240초간 플라즈마 처리한 경우, ③은 RTN 방식으로 800°C에서 90초간 처리한 경우, ④는 RTN 방식으로 1,000°C에서 90초간 처리한 경우, 그리고 ⑤는 암모니아(NH_3) 가스를 이용하여 820°C에서 60분간 어닐링한 경우의 BPSG막위에

증착된 질화막의 두께를 각각 나타낸다.

도시된 바와 같이, 표면처리를 생략한 경우에 비해 표면처리를 한 후 증착한 경우의 질화막의 두께가 더 두꺼운 것을 알 수 있다. 따라서, 스토리지 전극(62)을 형성한 상태에서 결과물의 표면을 질화시키면, 유전체막으로 사용되는 질화막의 하지막 의존성이 제거되어 노출된 제2 층간절연막(52)의 표면에도 스토리지 전극(62)의 표면에 증착되는 두께와 같은 또는 그 이상의 두께로 질화막이 증착된다. 따라서, 유전체막으로 사용될 산화막을 형성할 때 산소의 침투에 의한 비트라인의 산화를 방지할 수 있다.

이상 본 발명을 상세히 설명하였으나 본 발명은 상기 실시예에 한정되지 않으며, 본 발명이 속하는 기술적 사상내에서 당분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

상술한 본 발명에 의한 반도체 메모리장치의 제조방법에서는, 비트라인 형성 후 또는 스토리지 전극 형성 후 결과물의 표면에 산화방지막을 형성하거나, 스토리지 전극 콘택을 위한 콘택홀의 내측벽에 스페이서를 이중으로 형성한다. 이 방법에 의하면, 스토리지 전극 패터닝시 미스얼라인이 발생하여도 유전체막을 형성하는 과정에서 콘택홀의 측벽으로부터 비트라인이 산화되는 것을 방지할 수 있다. 특히, 비트라인을 형성한 후 또는 스토리지 전극을 형성한 후 표면을 질화시키는 방법을 사용할 경우, 비트라인의 산화를 방지할 수 있음은 물론, 스토리지 전극 콘택 또는 메탈콘택(metal contact) 형성공정 등의 후속 공정을 진행할 때 콘택홀의 내벽에

턱이 남지 않도록 하는 효과도 얻을 수 있다.

【특허청구의 범위】

【청구항 1】

반도체기판의 활성영역에 게이트, 소오스 및 드레인을 구비하는 트랜지스터를 형성하는 단계;

트랜지스터가 형성된 반도체기판상에, 상기 소오스와 접속된 패드를 형성하는 단계;

패드가 형성된 결과물의 전면에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막상에, 상기 드레인과 접속된 비트라인을 형성하는 단계;

비트라인이 형성된 결과물의 전면에 산화방지막을 형성하는 단계;

상기 산화방지막상에 제2 층간절연막을 형성하는 단계;

상기 패드를 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀의 내측벽에 스페이서를 형성하는 단계;

상기 콘택홀을 통해 상기 패드와 접속된 스토리지 전극을 형성하는 단계; 및

스토리지 전극이 형성된 결과물상에 유전체막 및 플레이트 전극을 차례로 형

성하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 2】

제1항에 있어서, 상기 비트라인은,

폴리실리콘과 실리사이드를 차례로 적층한 후 패터닝하여 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 3】

제1항에 있어서, 상기 산화방지막은,
비트라인이 형성된 결과물상에 질화막을 증착하여 형성하는 것을 특징으로
하는 반도체 메모리장치의 제조방법.

【청구항 4】

제3항에 있어서, 상기 산화방지막은,
저압 화학 기상 증착 (LP-CVD) 및 급속열질화 (Rapid Thermal Nitration; RTN) 중의 어느 한 방법을 사용하여 형성하는 것을 특징으로 하는 반도체 메모리장
치의 제조방법.

【청구항 5】

제4항에 있어서, 상기 저압 화학 기상 증착 (LP-CVD) 공정은,
1Torr 이하의 압력과 $600\pm100^{\circ}\text{C}$ 의 온도에서, 디클로로실란(SiH_2Cl_2)과 암모
니아(NH_3)의 혼합가스를 반응가스로 사용하여 이루어지는 것을 특징으로 하는 반도
체 메모리장치의 제조방법.

【청구항 6】

제4항에 있어서, 상기 급속열질화(Rapid Thermal Nitration; RTN) 공정은,
대기압 이하의 압력과 $900\pm100^{\circ}\text{C}$ 의 온도에서, 암모니아(NH_3) 가스를 반응가
스로 사용하여 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 7】

제1항에 있어서, 상기 산화방지막은,
1,000Å 미만의 두께로 형성하는 것을 특징으로 하는 반도체 메모리장치의

제조방법.

【청구항 8】

제1항에 있어서, 상기 산화방지막은,

질소를 포함하는 가스를 이용하여 상기 비트라인이 형성된 결과물의 표면을 질화시켜 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 9】

제8항에 있어서, 상기 질소를 포함하는 가스로써 암모니아(NH_3) 가스를 사용하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 10】

제8항에 있어서, 상기 질소를 포함하는 가스를 이용하여 비트라인이 형성된 결과물의 표면을 질화시키는 공정은,

플라즈마(plasma) 방식, 고온 어닐링(thermal annealing) 방식 및 급속열처리(Rapid Thermal Process; RTP) 방식 중의 어느 하나를 사용하여 진행하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 11】

제1항에 있어서, 상기 산화방지막은,

상기 제2 층간절연막의 표면보다 상기 비트라인의 측벽 및 상부에 더 두껍게 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 12】

제1항에 있어서, 상기 유전체막을 형성하는 단계는,

스토리지 전극이 형성된 결과물상에 질화막을 증착하는 단계와, 상기 질화막이 형성된 반도체기판을 습식산화 분위기에서 산화시키는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 13】

제12항에 있어서, 상기 반도체기판을 습식산화시키는 단계는, 700°C ~ 900°C의 온도에서 진행하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 14】

반도체기판의 활성영역에 게이트, 소오스 및 드레인을 구비하는 트랜지스터를 형성하는 단계;

트랜지스터가 형성된 상기 반도체기판상에, 상기 소오스와 접속된 패드를 형성하는 단계;

패드가 형성된 결과물상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막상에, 상기 드레인과 접속된 비트라인을 형성하는 단계;

비트라인이 형성된 결과물상에 제2 층간절연막을 형성하는 단계;

상기 패드를 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀의 내측벽에 질화막과 산화막으로 이루어진 이중 스페이서를 형성하는 단계;

상기 콘택홀을 통해 상기 패드와 접속된 스토리지 전극을 형성하는 단계; 및 스토리지 전극이 형성된 결과물상에 유전체막 및 플레이트 전극을 차례로 형

성하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 15】

제14항에 있어서, 상기 비트라인은,

폴리실리콘과 실리사이드를 차례로 적층한 후 패터닝하여 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 16】

제14항에 있어서, 상기 이중 스페이서용 산화막은,

고온산화막(HTO) 및 도우프되지 않은 실리콘막(USG)로 이루어진 그룹에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 17】

제14항에 있어서, 상기 이중 스페이서용 질화막과 산화막은,

각각 $100\text{ \AA} \sim 300\text{ \AA}$ 의 두께로 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 18】

제14항에 있어서, 상기 유전체막을 형성하는 단계는,

스토리지 전극이 형성된 결과물상에 질화막을 증착하는 단계와, 상기 질화막이 형성된 반도체기판을 습식산화 분위기에서 산화시키는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 19】

제18항에 있어서, 상기 습식산화는 $700^\circ\text{C} \sim 900^\circ\text{C}$ 의 온도에서 진행하는 것을

특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 20】

반도체기판의 활성영역에 게이트, 소오스 및 드레인을 구비하는 트랜지스터를 형성하는 단계;

트랜지스터가 형성된 상기 반도체기판상에, 상기 소오스와 접속된 패드를 형성하는 단계;

패드가 형성된 결과물상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막상에, 상기 드레인과 접속된 비트라인을 형성하는 단계;

비트라인이 형성된 결과물상에 제2 층간절연막을 형성하는 단계;

상기 패드를 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀의 내측벽에 스페이서를 형성하는 단계;

상기 콘택홀을 통해 상기 패드와 접속된 스토리지 전극을 형성하는 단계;

상기 스토리지 전극이 형성된 결과물의 표면에 산화방지막을 형성하는 단계;

및

산화방지막이 형성된 결과물상에 유전체막 및 플레이트 전극을 차례로 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 21】

제20항에 있어서, 상기 비트라인은,

폴리실리콘과 실리사이드를 차례로 적층한 후 패터닝하여 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 22】

제20항에 있어서, 상기 산화방지막은,
질소를 포함하는 가스를 이용하여 상기 스토리지 전극이 형성된 결과물의 표
면을 질화시켜 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 23】

제22항에 있어서, 상기 질소를 포함하는 가스로써 암모니아(NH₃) 가스를 사
용하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 24】

제22항에 있어서, 상기 질소를 포함하는 가스를 이용하여 비트라인이 형성된
결과물의 표면을 질화시키는 공정은,
플라즈마(plasma) 방식, 고온 어닐링(thermal annealing) 방식 및 급속열처
리(Rapid Thermal Process; RTP) 방식 중의 어느 하나를 사용하여 진행하는 것을
특징으로 하는 반도체 메모리장치의 제조방법.

【청구항 25】

제20항에 있어서, 상기 유전체막을 형성하는 단계는,
스토리지 전극이 형성된 결과물상에 질화막을 증착하는 단계와, 상기 질화막
이 형성된 반도체기판을 습식산화 분위기에서 산화시키는 단계로 이루어지는 것을
특징으로 하는 반도체 메모리장치의 제조방법.

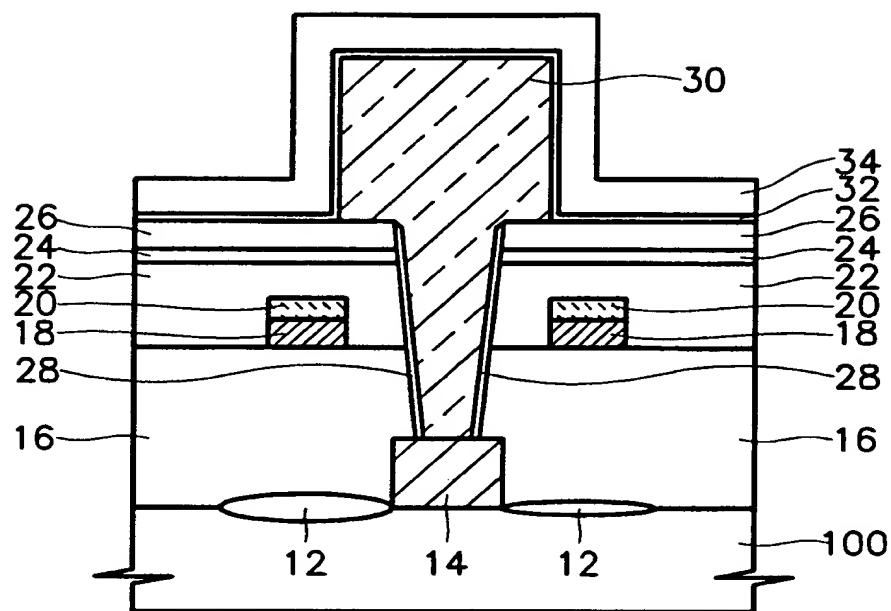
【청구항 26】

제25항에 있어서, 상기 습식산화는 700°C ~ 900°C의 온도에서 진행하는 것을

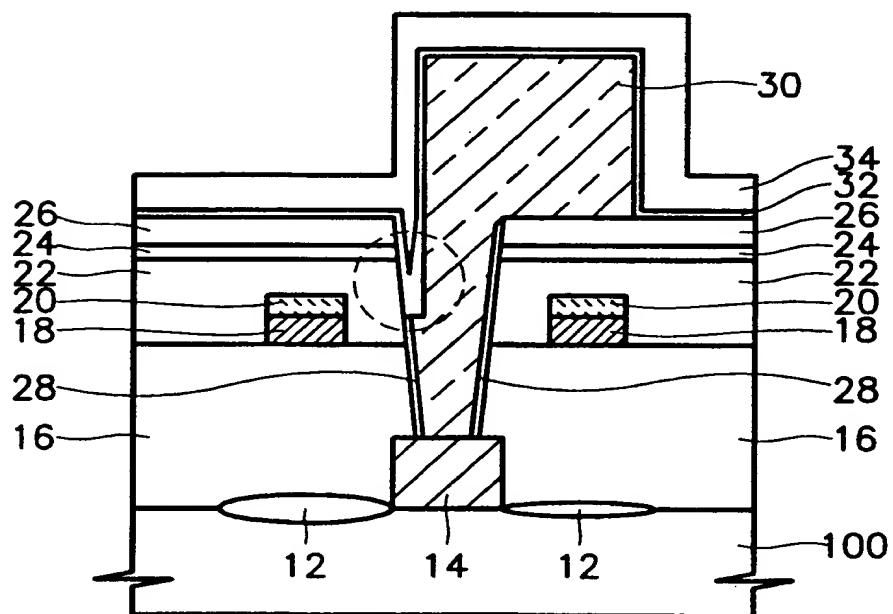
특징으로 하는 반도체 메모리장치의 제조방법.

【도면】

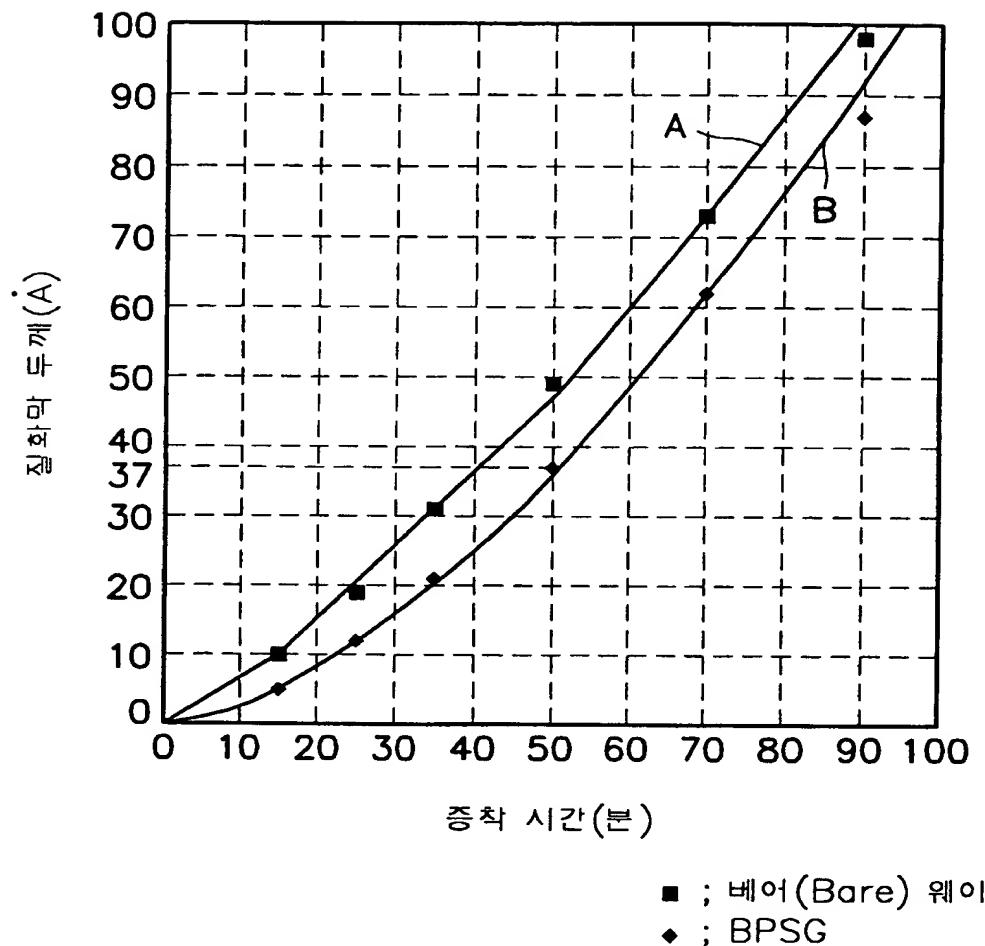
【도 1】



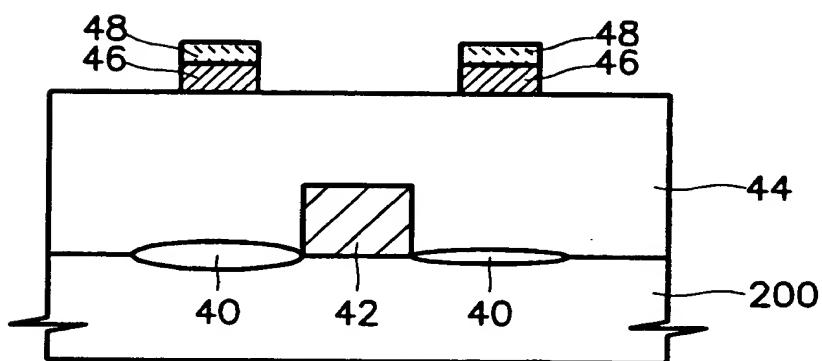
【도 2】



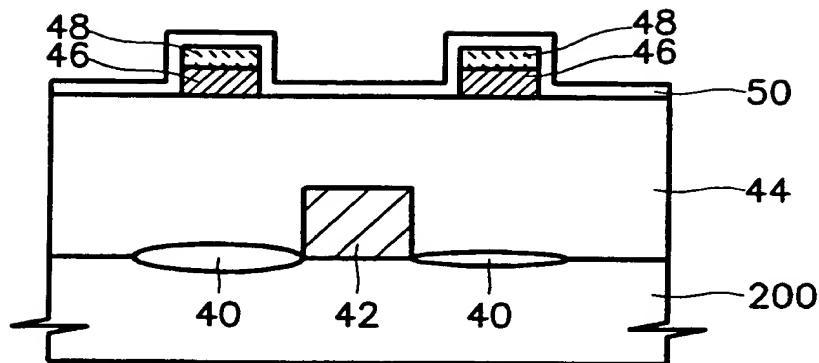
【도 3】



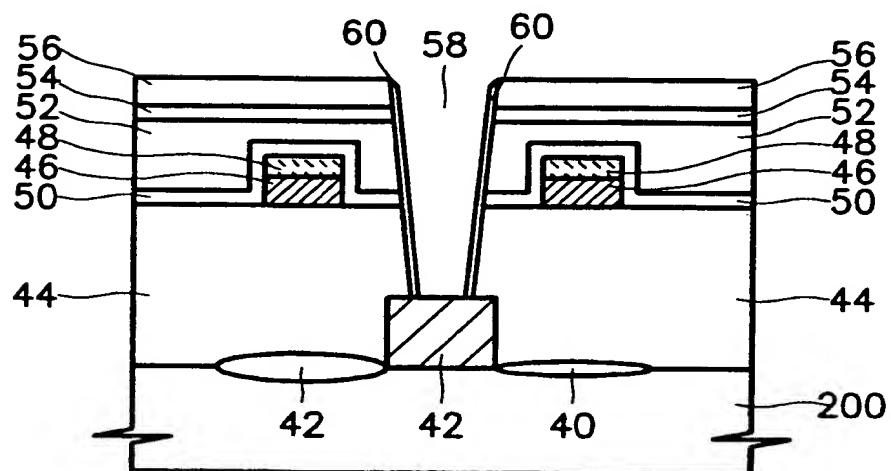
【도 4】



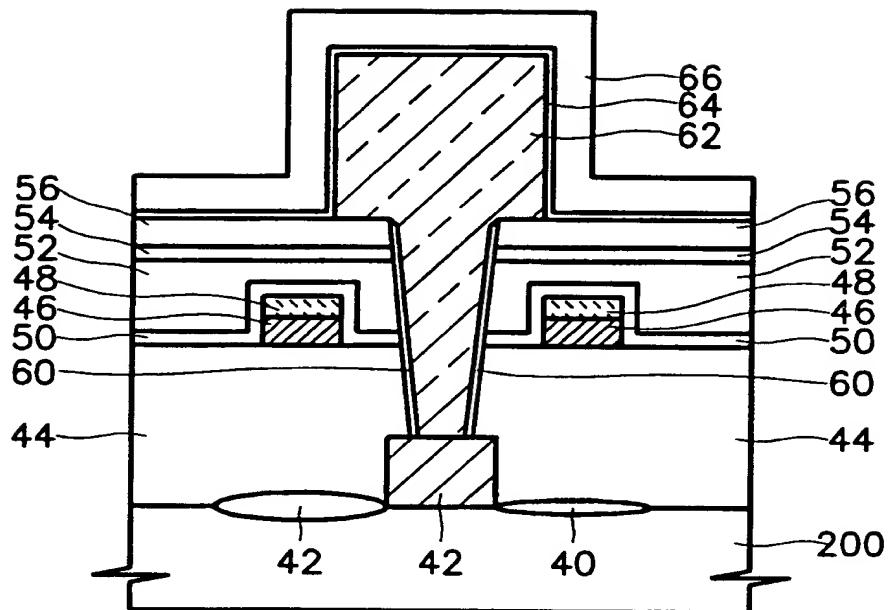
【도 5】



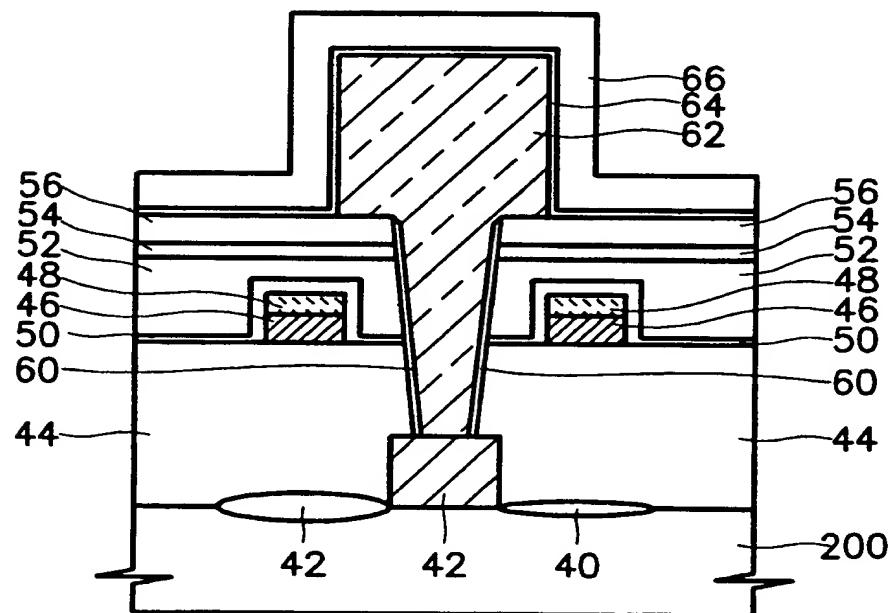
【도 6】



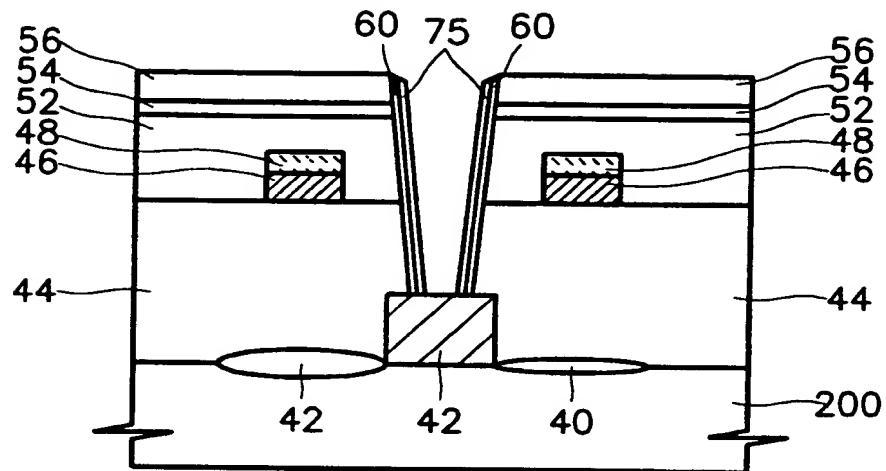
【도 7】



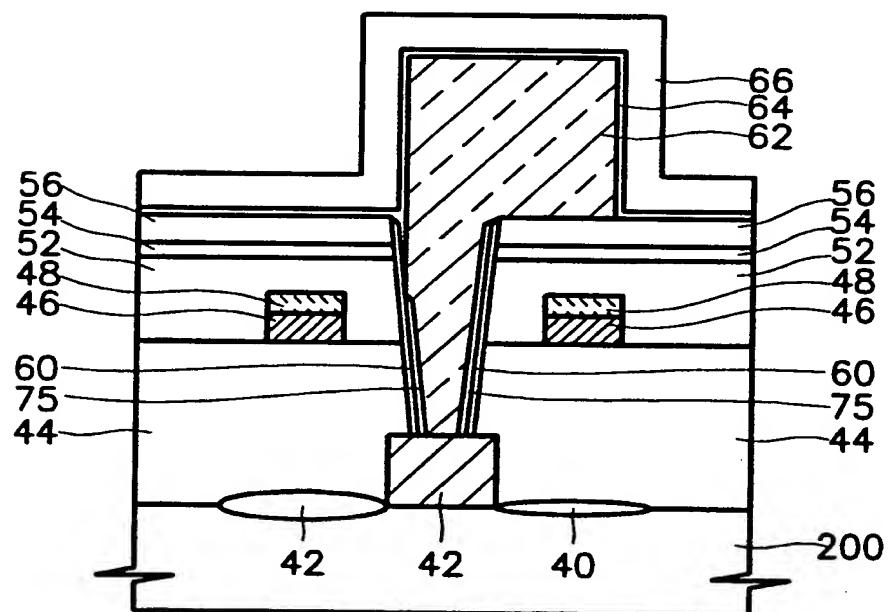
【도 8】



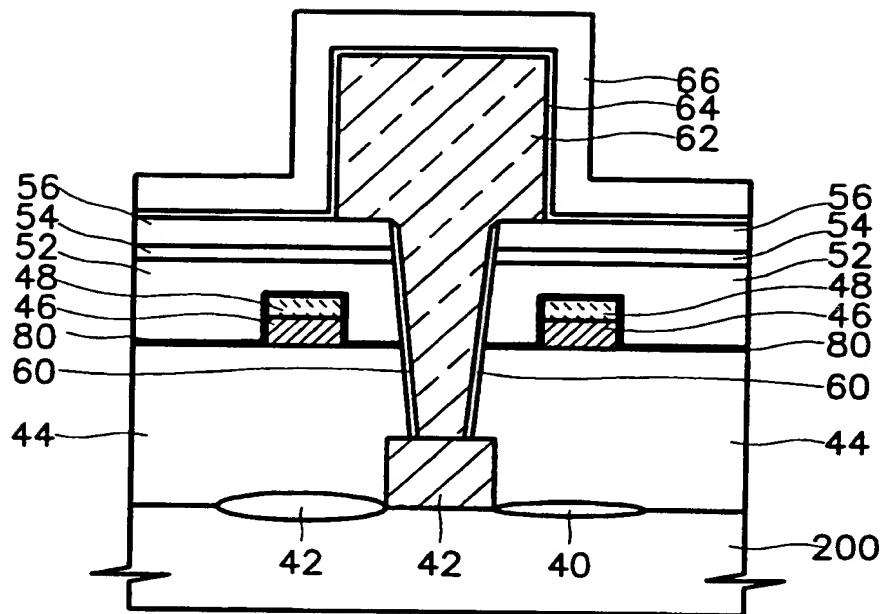
【도 9】



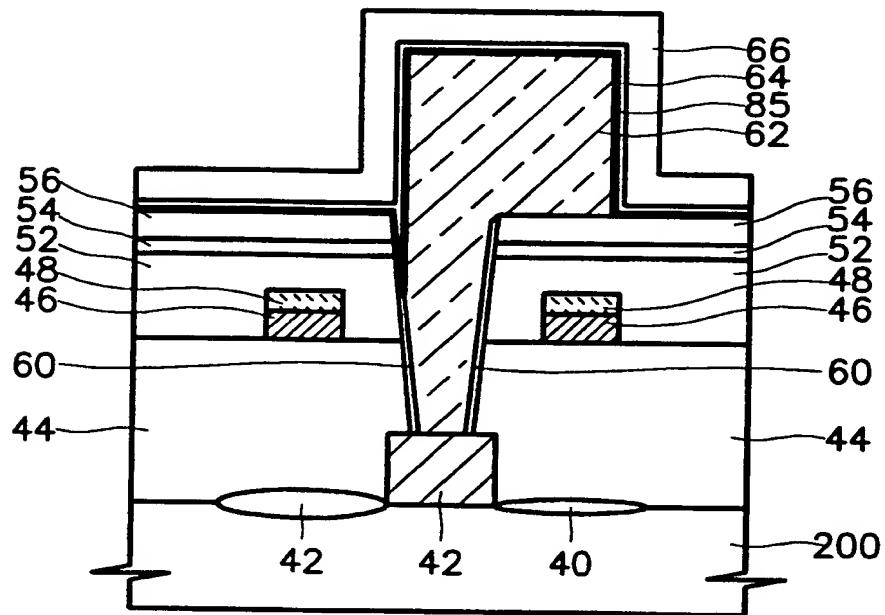
【도 10】



【도 11】



【도 12】



【도 13】

